

## Patent Abstracts of Japan

PUBLICATION NUMBER : 04196263  
PUBLICATION DATE : 16-07-92

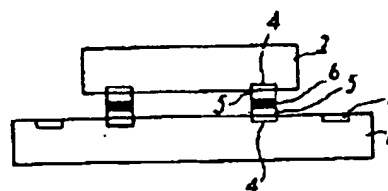
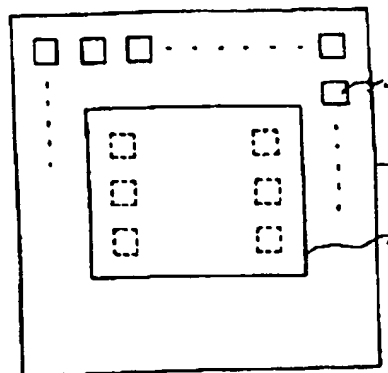
APPLICATION DATE : 27-11-90  
APPLICATION NUMBER : 02326896

APPLICANT : MITSUBISHI ELECTRIC CORP;

INVENTOR : HAMANO HIROYUKI;

INT.CL. : H01L 25/065 G11C 29/00 H01L 25/07  
H01L 25/18 H01L 27/00

TITLE : SEMICONDUCTOR INTEGRATED  
CIRCUIT



**ABSTRACT :** **PURPOSE:** To make possible the realization of a chip size, which does not depend on a memory capacity, and to make it possible to obtain a large-scale semiconductor integrated circuit by a method wherein a memory circuit and a peripheral circuit for memory circuit use or a memory circuit and one part of a peripheral circuit for memory circuit use are respectively formed into the constitution of a separate chip.

**CONSTITUTION:** The mutual chips of a parent chip 1 and a memory function chip 2 are respectively connected to the upper part of the chip 1 and the upper part of the chip 2 and pads 4 for bonding use are provided for feeding necessary signal or power supply from the chip 1 to the chip 2. A material 5 for ohmic contact use and a metal bonding material 6 are placed on these pads, the pads are made to face each other and the chips 1 and 2 are bonded together in a such a way that the signals or power pads of chips 1 and 2 are made to oppose to each other. Thereby, a memory circuit constituted on one chip constituted as a separate chip and a large-scale semiconductor integrated circuit can be obtained.

**COPYRIGHT:** (C)1992,JPO&Japio

⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑫ 公開特許公報(A) 平4-196263

⑬ Int. Cl.<sup>5</sup>

識別記号

庁内整理番号

⑭ 公開 平成4年(1992)7月16日

H 01 L 25/065  
G 11 C 29/00  
H 01 L 25/07  
25/18  
27/00

3 0 1 B

8526-5L

3 0 1 C

7514-4M  
7638-4M

H 01 L 25/08

B

審査請求 未請求 請求項の数 1 (全4頁)

⑮ 発明の名称 半導体集積回路

⑯ 特 願 平2-326896

⑰ 出 願 平2(1990)11月27日

⑱ 発 明 者 浜 野 博 之 兵庫県伊丹市瑞原4丁目1番地 三菱電機株式会社北伊丹製作所内

⑲ 出 願 人 三菱電機株式会社 東京都千代田区丸の内2丁目2番3号

⑳ 代 理 人 弁理士 大岩 増雄 外2名

明 細 書

1. 発明の名称

半導体集積回路

2. 特許請求の範囲

半導体集積回路本体からなる親チップ、メモリ回路およびデコーダ等のメモリ周辺回路からなるメモリ機能チップ、上記親チップとメモリ機能チップとのそれぞれに互いを接続するに必要な信号パッドあるいは電源パッドを設け、上記信号パッドあるいは電源パッド上にオーミックコンタクト可能な金属材料をそれぞれ積層し、上記金属材料上に金属接合材料を載せて上記親チップおよびメモリ機能チップを向かい合わせにし、上記親チップと機能メモリチップの互いの各信号あるいは各電源パッドを相対させて金属接合したことを特徴とする半導体集積回路。

3. 発明の詳細な説明

(産業上の利用分野)

この発明は半導体集積回路に関し、特に大規模半導体集積回路に関するものである。

(従来の技術)

第2図は従来の半導体集積回路を示す平面図である。図において、(1)はチップ、(2a)はメモリ部(RAM)、(2b)はメモリ部(RAMデューダ)、(2c)はメモリ部(ROM)、(2d)はメモリ部(ROMデューダ)、(8)は周辺パッド、(17)はC P U部である。

次に作用について説明する。

従来の半導体集積回路は上記のように構成され、チップ(1)の上にメモリ部(2a)~(2d)、周辺パッド(8)、及びC P U部(17)が混在して形成されている。

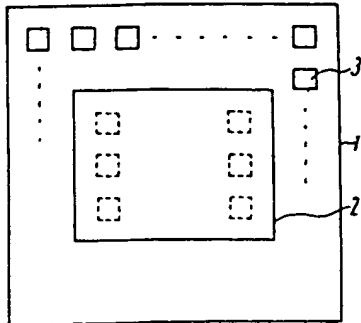
(発明が解決しようとする課題)

従来の半導体集積回路は以上のように構成されているので、メモリ容量が増大すると、チップサイズも大きくなるとともに、チップサイズの制限から、メモリ容量を制限しなければならないなどの問題点があつた。

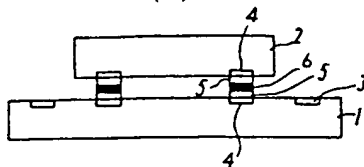
この発明は上記のような問題点を解消するためになされたもので、1チップ上に構成されているメモリ回路を別チップとして構成し、大規模半導

第 1 図

(a)

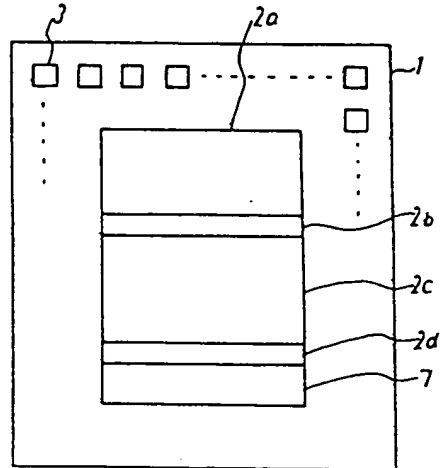


(b)



- 1: 親チップ
- 2: メモリ機能チップ
- 3: 周辺パッド
- 4: 接合用パッド
- 5: ホミツコンタクト用金属材料
- 6: 金属接合材料

第 2 図



- 2a: メモリ部 (RAM)
- 2b: メモリ部 (RAM)
- 2c: メモリ部 (ROM)
- 2d: メモリ部 (ROM)
- 7: CPU部

手 続 補 正 書 (自 発)

平成 3 年 8 月 5 日

特許庁長官殿

1. 事件の表示 特願平 3-826096 号

2. 発明の名称  
半 導 体 集 積 回 路

3. 補正をする者

事件との関係 特許出願人  
住 所 東京都千代田区丸の内二丁目2番3号  
名 称 (601) 三菱電機株式会社  
代表者 志 岐 守 哉

4. 代 理 人

住 所 東京都千代田区丸の内二丁目2番3号  
三菱電機株式会社内  
氏 名 (7375) 弁理士 大 岩 増 雄  
(連絡先 03(3213)3421特許部)

5. 補正の対象

明細書の特許請求の範囲の欄、及び発明の詳細な説明の欄。

6. 補正の内容

(1) 明細書の特許請求の範囲を別紙のとおり訂正する。

(2) 明細書第 5 頁第 7 行～第 8 行「メモリ回路用周辺回路」を「メモリ回路用周辺回路」と訂正する。

7. 添付書類の目録

(1) 訂正後の特許請求の範囲を記載した書面

1 通

以 上

特許庁  
S. 8. 7